

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

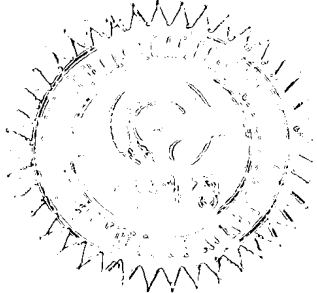
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0084633  
Application Number

출원년월일 : 2002년 12월 26일  
Date of Application DEC 26, 2002

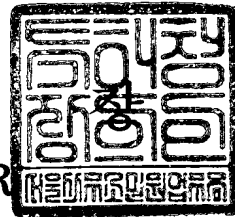
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003    년    09    월    24    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002. 12. 26
【발명의 명칭】	금속전극들을 갖는 커패시터 제조방법
【발명의 영문명칭】	fabrication method of a metal-insulator-metal capacitor
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	손홍성
【성명의 영문표기】	SON, HONG SEONG
【주민등록번호】	660417-1645911
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 신나무실 신원아파트 642동 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	하상록
【성명의 영문표기】	HAH, SANG ROK
【주민등록번호】	611114-1031525
【우편번호】	135-120
【주소】	서울특별시 강남구 신사동 566-33호 4층
【국적】	KR
【발명자】	
【성명의 국문표기】	구자응
【성명의 영문표기】	KOO, JA EUNG
【주민등록번호】	740521-1019617



【우편번호】 411-372

【주소】 경기도 고양시 일산구 주엽2동 문촌마을 308동 1402호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 박상수 (인)

【수수료】

【기본출원료】	17 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	9 항	397,000 원
【합계】	426,000 원	

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

엠아이엠(MIM) 커패시터의 제조방법을 제공한다. 이 방법은 반도체기판 상에 하부 금속 전극의 역할을 하는 금속배선을 형성하는 것과, 상기 금속배선을 갖는 반도체기판의 전면 상에 절연막을 형성하는 것을 구비한다. 상기 절연막 상에 상부 금속전극막 및 버퍼 산화막을 차례로 형성한다. 상기 버퍼 산화막 상에 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 버퍼 산화막 및 상기 상부 금속전극막을 선택적으로 식각하여 상기 금속배선의 상부에 차례로 적층된 상부 금속전극 및 버퍼 산화막 패턴을 형성한다. 이 경우에, 적어도 상기 상부 금속전극막은 습식 식각공정을 사용하여 식각한다. 이어서, 상기 포토레지스트 패턴을 제거한다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

금속전극들을 갖는 커패시터 제조방법{fabrication method of a metal-insulator-metal capacitor}

**【도면의 간단한 설명】**

도 1 및 도 2는 종래의 커패시터 제조방법을 설명하기 위한 단면도들이다.

도 3 및 도 4는 본 발명의 실시예에 따른 커패시터 제조방법을 설명하기 위한 단면도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체소자의 제조방법에 관한 것으로, 특히 금속전극들을 갖는 커패시터 제조방법에 관한 것이다.

<4> 고성능 반도체소자들을 제조하기 위해서는, 낮은 전기적인 저항 및 높은 신뢰성을 갖는 금속배선이 요구된다. 이러한 금속배선으로 구리배선이 유력한 후보로 각광받고 있다. 그러나, 상기 구리배선은 일반적인 사진/식각 공정을 사용하여 형성하기가 어렵다. 이에 따라, 상기 구리배선을 형성하는 데 있어서, 다마신 공정이 널리 사용되고 있다.

<5> 한편, 상기 반도체소자들은 트랜지스터들, 저항체들 및 커패시터들을 포함한다. 상기 커패시터들의 각각은 서로 중첩된 상부 전극 및 하부 전극과 아울러서 이들 사이에 개재된 유전체막으로 구성된다. 상기 전극들은 도우핑된 폴리실리콘막으로 형성할 수 있다. 그러나, 상기

폴리실리콘막은 후속의 열처리 공정시 추가로 산화될 수 있다. 이에 따라, 상기 커패시터의 전기적인 특성이 변화될 수 있다. 이에 더하여, 상기 폴리실리콘 전극들에 인가되는 전압의 크기(magnitude)에 따라서 상기 커패시터는 불균일한 정전용량을 보일 수 있다. 예를 들면, 상기 상/하부 전극들이 n형의 불순물들로 도우핑된 폴리실리콘막으로 형성되고 상기 상부전극에 음의 전압(negative voltage)이 인가되면, 상기 하부전극의 표면에 정공들(holes)이 유기된다. 이에 따라, 상기 하부전극의 표면에 공핍층(depletion layer)이 형성될 수 있다. 상기 공핍층의 폭은 상기 음의 전압의 크기(magnitude)에 따라 변화한다. 결과적으로, 상기 커패시터의 정전용량(capacitance)은 상기 전극들에 인가되는 전압의 크기에 따라 변화될 수 있다. 따라서, 상기 폴리실리콘 전극들을 채택하는 커패시터는 정교한 특성을 요구하는 반도체소자들, 예를 들면, 아날로그 회로를 갖는 반도체소자들에 부적합하다.

<6>       최근에, 상기한 문제점들을 해결하기 위하여 금속전극들을 갖는 커패시터, 즉 엠아이엠(MIM; metal-insulator-metal) 커패시터가 제안된 바 있다. 상기 엠아이엠 커패시터 및 그 제조방법이 미국특허 제6,259,128호에 "구리 다마신 공정을 위한 금속-절연체-금속 커패시터 및 그 형성방법(metal-insulator-metal capacitor for copper damascene process and method of forming the same)"이라는 제목으로 애들러 등(Adler et al.)에 의해 개시된 바 있다.

<7>       도 1 및 도 2는 상기 미국특허 제6,259,128호에 개시된 엠아이엠 커패시터의 제조방법을 설명하기 위한 단면도들이다.

<8>       도 1을 참조하면, 반도체기판(1) 상에 층간절연막(3)을 형성한다. 상기 층간절연막(3) 내에 통상의 다마신 기술을 사용하여 제1 및 제2 구리배선들(5a, 5b)을 형성한다. 상기 구리배선들(5a, 5b)을 갖는 반도체기판의 전면 상에 실리콘 질화막(7)을 형성하고, 상기 실리콘 질화막(7)을 패터닝하여 상기 제1 구리배선(5a)을 노출시킨다. 상기 패터닝된 실리콘 질화막(7)을

갖는 반도체기판의 전면 상에 제1 하부 배리어막(9), 하부전극막(11), 제1 상부 배리어막(13), 유전체막(15), 제2 하부 배리어막(17), 상부전극막(19) 및 제2 상부 배리어막(21)을 순차적으로 형성한다. 이어서, 상기 제2 상부 배리어막(21) 상에 포토레지스트 패턴(23)을 형성한다. 상기 포토레지스트 패턴(23)은 상기 제1 구리배선(5a) 상부에 위치하도록 형성된다.

<9> 도 2를 참조하면, 상기 포토레지스트 패턴(23)을 식각 마스크로 사용하여 상기 제2 상부 배리어막(21), 상부전극막(19), 제2 하부 배리어막(17), 유전체막(15), 제1 상부 배리어막(13), 하부전극막(11) 및 제1 하부 배리어막(9)을 연속적으로 식각하여 상기 제1 구리배선(5a)과 전기적으로 접속된 엠아이엠 커패시터(25)를 형성한다. 애들러 등(Adler et al.)에 따르면, 상기 엠아이엠 커패시터(25)를 형성하기 위한 식각 공정은 습식 식각공정을 사용하여 실시한다. 결과적으로, 상기 엠아이엠 커패시터(25)는 도 2에 도시된 바와 같이 차례로 적층된 제1 하부배리어막 패턴(9a), 하부전극(11a), 제1 상부 배리어막 패턴(13a), 유전체막 패턴(15a), 제2 하부 배리어막 패턴(17a), 상부전극(19a) 및 제2 상부 배리어막 패턴(21)으로 구성된다.

<10> 계속해서, 상기 포토레지스터 패턴(23)을 애싱공정(ashing process)을 사용하여 제거한다. 상기 애싱공정은 산소 플라즈마를 사용하여 실시된다. 일반적으로, 상기 애싱 공정 후에, 불산을 함유하는 화학용액을 사용하여 포토레지스트 잔여물(photoresist residue) 및 폴리머(polymer)를 제거하기 위한 습식 스트립 공정(wet strip process)이 추가로 실시된다. 그러나, 상기한 바와 같이 상기 엠아이엠 커패시터(25)가 습식 식각공정을 사용하여 형성되는 경우에, 상기 폴리머는 생성되지 않는다. 이에 따라, 상기 미국특허 제6,259,128호에 따르면, 상기 포토레지스트 패턴(23)을 제거하기 위한 애싱 공정을 실시한 후에 상기 습식 스트립 공정이 요구되지 않는다.

- <11> 한편, 상기 습식 식각공정 대신에 플라즈마를 사용하는 건식 식각공정이 채택되는 경우에, 상기 제2 구리배선(5b) 상의 상기 실리콘 질화막(7)은 상기 건식 식각공정에 의해 손상된다. 그 결과, 상기 실리콘 질화막(7)의 소정영역들 내에 피트들(pits)이 형성되고, 상기 제2 구리배선(5b)의 소정영역들은 상기 피트들에 의해 노출된다. 이어서, 상기 포토레지스트 패턴(23)을 제거하기 위하여 상기 애싱 공정을 적용하면, 상기 제2 구리배선(5b)의 노출된 영역들이 산화된다. 상기 제2 구리배선(5b)의 산화는 상기 제2 구리배선(5b)의 부피팽창(volume expansion)을 유발시킨다. 이에 따라, 상기 피트들을 통하여 상기 제2 구리배선(5b)의 산화된 영역들(oxidized regions)이 상부로 돌출된다. 상기 애싱 공정 후에, 상기 습식 스트립 공정이 진행된다. 이는, 상기 건식 식각공정 동안에 생성된 폴리머를 제거하기 위함이다. 상기 습식 스트립 공정 동안 상기 제2 구리배선(5b)의 산화된 영역들은 제거된다. 그 결과, 상기 제2 구리배선(5b) 내에 보이드가 형성되어 상기 제2 구리배선(5b)의 신뢰성을 저하시킨다.
- <12> 결론적으로, 상기 엠아이엠 커패시터(25)를 형성하기 위한 패터닝 공정은 애들러 등에 의해 개시된 바와 같이 습식 식각공정을 사용하는 것이 바람직하다.
- <13> 그러나, 상술한 미국특허 제6,259,128호에 따르면, 4개의 배리어막들, 2개의 전극막들 및 1개의 절연막이 습식 식각공정에 의해 패터닝되어야 한다. 따라서, 상기 엠아이엠 커패시터를 형성하기 위해서는 여러가지 종류의 습식 식각용액들이 요구된다. 그 결과, 상기 습식 식각 공정 동안, 식각 마스크 역할을 하는 상기 포토레지스트 패턴에 가해지는 부담(burden)이 증가한다. 결과적으로, 상기 포토레지스트 패턴이 상기 습식 식각공정 동안 리프팅되거나 변형될 수 있다.



【발명이 이루고자 하는 기술적 과제】

- <14> 본 발명이 이루고자 하는 기술적 과제는 안정적인 습식 식각공정을 채택할 수 있는 엠아이엠 커패시터의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <15> 상기 기술적 과제를 이루기 위하여 본 발명은 엠아이엠 커패시터의 제조방법을 제공한다. 이 방법은 반도체기판 상에 하부 금속전극(bottom metal electrode layer)의 역할을 하는 금속배선(metal interconnection line)을 형성하는 것을 포함한다. 상기 금속배선을 갖는 반도체기판의 전면 상에 절연막을 형성한다. 상기 절연막 상에 상부 금속전극막(top metal electrode layer) 및 버퍼 산화막(buffer oxide layer)을 차례로 형성하고, 상기 버퍼 산화막 상에 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 버퍼 산화막 및 상기 상부 금속전극막을 선택적으로 식각하여 상기 금속배선의 상부에 차례로 적층된 상부 금속전극 및 버퍼 산화막 패턴을 형성한다. 적어도 상기 상부 금속전극막은 습식 식각공정을 사용하여 식각한다. 이어서, 상기 포토레지스트 패턴을 제거한다.
- <16> 상기 금속배선은 상기 반도체기판 상에 층간절연막을 형성하고 상기 층간절연막 내에 다마신 공정을 사용하여 금속패턴을 형성하는 것을 포함한다. 상기 금속패턴은 구리막으로 형성하는 것이 바람직하다.
- <17> 상기 절연막은 상기 금속배선 내의 금속원자들이 확산하는 것을 방지하는 유전체막으로 형성하는 것이 바람직하다. 예를 들면, 상기 금속배선이 구리막으로 형성되는 경우에, 상기 유전체막은 실리콘 질화막(SiN), 실리콘 탄화막(SiC), 실리콘 산탄화막(SiOC) 또는 실리콘 탄질화막(SiCN)으로 형성하는 것이 바람직하다.

- <18> 또한, 상기 상부 금속전극막은 탄탈륨 질화막, 탄탈륨막, 타이타늄막, 타이타늄 질화막, 텅스텐막 또는 텅스텐 질화막으로 형성할 수 있다. 특히, 상기 상부 금속전극막이 탄탈륨 질화막, 탄탈륨막, 타이타늄막 또는 타이타늄 질화막으로 형성되는 경우에, 상기 버퍼 산화막 및 상기 상부 금속전극막의 식각공정은 불산(HF; hydrofluoric acid) 및 질산(HNO<sub>3</sub>)의 혼합용액(mixture)을 사용하여 실시하는 것이 바람직하다. 이와는 달리(alternatively), 상기 상부 금속전극막이 텅스텐막 또는 텅스텐 질화막으로 형성되는 경우에, 상기 버퍼 산화막은 건식 식각 공정 또는 습식 식각공정을 사용하여 식각하고 상기 상부 금속전극막은 과산화수소(H<sub>2</sub>O<sub>2</sub>)를 사용하여 습식 식각한다.
- <19> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- <20> 도 3 및 도 4는 본 발명의 실시예에 따른 엠아이엠 커패시터를 제조하는 방법을 설명하기 위한 단면도들이다.
- <21> 도 3을 참조하면, 반도체기판(51) 상에 층간절연막(53)을 형성한다. 상기 층간절연막 내에 통상의 다마신 기술을 사용하여 제1 및 제2 금속배선들(55a, 55b)을 형성한다. 여기서, 상기 제2 금속배선(55b)은 본 발명에 따른 엠아이엠 커패시터의 하부전극의 역할을 한다. 상기 금속배선들(55a, 55b)은 구리막으로 형성할 수 있다. 상기 금속배선들(55a, 55b)을 갖는 반도체기판의 전면 상에 절연막(57)을 형성한다. 상기 절연막(57)은 상기 금속배선들(55a, 55b) 내의 금속원자들이 확산되는 것을 방지하는 유전체막으로 형성하는 것이 바람직하다. 예를 들면, 상기 금속배선들(55a, 55b)이 구리막으로 형성되는 경우에, 상기 절연막(57)은 실리콘 질화막(SiN), 실리콘 탄화막(SiC), 실리콘 산탄화막(SiOC) 또는 실리콘 탄질화막(SiCN)과 같은 유전체막으로 형성할 수 있다.

<22>       상기 절연막(57) 상에 상부 금속전극막(59) 버퍼 산화막(61) 및 포토레지스트막을 차례로 형성한다. 상기 상부 금속전극막(59)은 탄탈륨 질화막(TaN), 탄탈륨막(Ta), 타이타늄 질화막(TiN) 또는 타이타늄막(Ti)으로 형성한다. 이와는 달리, 상기 상부 금속전극막(59)은 텅스텐막 또는 텅스텐 질화막으로 형성할 수도 있다. 상기 버퍼 산화막(61)은 화학기상증착 산화막(chemical vapor deposition oxide layer; CVD oxide layer)으로 형성하는 것이 바람직하다. 상기 버퍼 산화막(61)은 상기 포토레지스트막 및 상기 상부 금속전극막(59) 사이의 접착력(adhesion)을 향상시키는 역할을 한다. 이어서, 상기 포토레지스트막을 사진공정을 사용하여 패터닝하여 상기 제2 금속배선(55b) 상부에 위치하는 포토레지스트 패턴(63)을 형성한다.

<23>       도 4를 참조하면, 상기 포토레지스트 패턴(63)을 식각 마스크로 사용하여 상기 버퍼 산화막(61) 및 상기 상부 금속전극막(59)을 연속적으로 식각하여 상기 제2 금속배선(55b) 상부에 차례로 적층된 상부 금속전극(59a) 및 버퍼 산화막 패턴(61a)을 형성한다. 상기 상부 금속전극막(59)이 탄탈륨 질화막(TaN), 탄탈륨막(Ta), 타이타늄 질화막(TiN) 또는 타이타늄막(Ti)으로 형성되는 경우에, 상기 버퍼 산화막(61) 및 상기 상부 금속전극막(59)은 불산 및 질산의 혼합 용액을 사용하여 습식식각하는 것이 바람직하다. 불산 및 질산의 혼합용액은 상기 버퍼 산화막(61)뿐만 아니라 상기 탄탈륨 질화막(TaN), 탄탈륨막(Ta), 타이타늄 질화막(TiN) 또는 타이타늄막(Ti)을 식각하는 성질을 갖는다. 결과적으로, 상기 버퍼 산화막 패턴(61a) 및 상부 금속전극(59a)은 1회의 습식식각 단계를 사용하여(using a single wet etching step) 형성될 수 있다.

<24>       이와는 달리, 상기 상부 금속전극막(59)이 텅스텐막(W) 또는 텅스텐 질화막(tungsten nitride layer; WN)으로 형성되는 경우에, 상기 버퍼 산화막(61) 및 상기 상부 금속전극막(59)은 2회의 식각단계들(two etching steps)을 사용하여 식각될 수 있다. 구체적으로, 상기 버퍼

산화막(61)은 제1 식각공정을 사용하여 식각될 수 있고, 상기 상부 금속전극막(59)은 상기 제1 식각공정과 다른 제2 식각공정을 사용하여 식각될 수 있다. 좀 더 구체적으로, 상기 제1 식각공정은 습식식각 공정 또는 건식식각 공정을 사용하여 실시될 수 있는 반면에, 상기 제2 식각공정은 과산화수소( $H_2O_2$ )를 사용하는 습식식각 공정을 사용하여 실시하는 것이 바람직하다. 이 경우에, 상기 제1 식각공정으로 채택되는 습식식각 공정은 불산(hydrofluoric acid; HF) 또는 완충 산화막 식각용액(buffered oxide etchant; BOE)과 같은 산화막 식각용액(oxide etchant)을 사용하여 실시될 수 있다.

<25> 결론적으로, 상기 상부전극(59a)을 형성하는 동안 1회 또는 2회의 습식식각 단계들(a single wet etching step or two wet etching steps)만이 적용된다. 이에 따라, 종래의 기술에 비하여 상기 상부전극(59a)을 형성하는 동안 상기 포토레지스트 패턴(63)에 가해지는 부담(burden)을 현저히 감소시킬 수 있다. 이에 더하여, 적어도 상기 상부 금속전극막(59)은 습식식각 공정을 사용하여 식각된다. 이에 따라, 상기 절연막(57)에 건식식각 손상(dry etch damage)이 가해지는 것을 근본적으로 방지할 수 있다. 다시 말해서, 상기 절연막(57) 내에 피트들(pits)이 형성되는 것을 방지할 수 있다.

<26> 계속해서, 상기 포토레지스트 패턴(63)을 통상의 애싱 공정 및 습식 스트립 공정을 사용하여 제거한다. 이 경우에, 상기 제1 금속배선(55a) 내에 어떠한 보이드도 형성되지 않는다. 이는, 상술한 바와 같이 상기 상부전극(59a)을 형성하는 동안 상기 절연막(57) 내에 어떠한 피트들도 형성되지 않기 때문이다.

#### 【발명의 효과】

<27> 상술한 바와 같이 본 발명에 따르면, 상부전극이 1회 또는 2회의 습식식각 단계들만을 사용하여 형성된다. 따라서, 상기 상부전극을 형성하는 동안, 식각 마스크로 사용되는 포토레

지스터 패턴이 들뜨거나 변형되는 것을 방지할 수 있다. 결과적으로, 신뢰성 있는 엠아이엠 커패시터를 구현할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체기판 상에 하부 금속전극의 역할을 하는 금속배선을 형성하고,  
상기 금속배선을 갖는 반도체기판의 전면 상에 절연막을 형성하고,  
상기 절연막 상에 상부 금속전극막 및 버퍼 산화막을 차례로 형성하고,  
상기 버퍼 산화막 상에 포토레지스트 패턴을 형성하고,  
상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 버퍼 산화막 및 상기 상부 금속전극막을 선택적으로 식각하여 상기 금속배선의 상부에 차례로 적층된 상부 금속전극 및 버퍼 산화막 패턴을 형성하되, 적어도 상기 상부 금속전극막은 습식 식각공정을 사용하여 식각하고,  
상기 포토레지스트 패턴을 제거하는 것을 포함하는 엠아이엠 커패시터 제조방법.

**【청구항 2】**

제 1 항에 있어서,  
상기 금속배선을 형성하는 것은  
상기 반도체기판 상에 층간절연막을 형성하고,  
상기 층간절연막 내에 다마신 공정을 사용하여 금속 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 엠아이엠 커패시터 제조방법.

**【청구항 3】**

제 2 항에 있어서,  
상기 금속패턴은 구리막으로 형성하는 것을 특징으로 하는 엠아이엠 커패시터 제조방법.

**【청구항 4】**

제 1 항에 있어서,

상기 절연막은 상기 금속배선 내의 금속원자들이 확산하는 것을 방지하는 유전체막으로 형성하는 것을 특징으로 하는 엠아이엠 커패시터 제조방법.

**【청구항 5】**

제 4 항에 있어서,

상기 유전체막은 실리콘 질화막(SiN), 실리콘 탄화막(SiC), 실리콘 산탄화막(SiOC) 또는 실리콘 탄질화막(SiCN)으로 형성하는 것을 특징으로 하는 엠아이엠 커패시터 제조방법.

**【청구항 6】**

제 1 항에 있어서,

상기 상부 금속전극막은 탄탈륨 질화막, 탄탈륨막, 타이타늄막 또는 타이타늄 질화막으로 형성하는 것을 특징으로 하는 엠아이엠 커패시터 제조방법.

**【청구항 7】**

제 6 항에 있어서,

상기 버퍼 산화막 및 상기 상부 금속전극막을 식각하는 것은 불산 및 질산의 혼합용액을 사용하여 실시하는 것을 특징으로 하는 엠아이엠 커패시터 제조방법.

**【청구항 8】**

제 1 항에 있어서,

상기 상부 금속전극막은 텅스텐막 또는 텅스텐 질화막으로 형성하는 것을 특징으로 하는 엠아이엠 커패시터 제조방법.

【청구항 9】

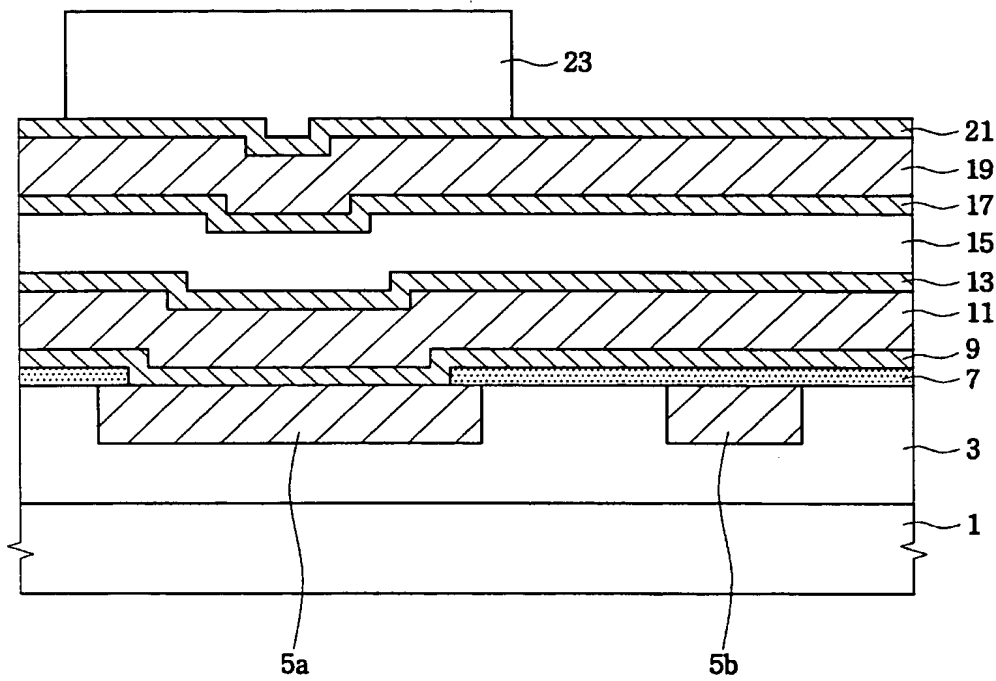
제 8 항에 있어서,

상기 버퍼 산화막은 습식 식각공정 또는 건식 식각공정을 사용하여 식각하고 상기 상부 금속전극막은 과산화수소( $H_2O_2$ )를 사용하여 습식 식각하는 것을 특징으로 하는 엠아이엠 커패시터 제조방법.

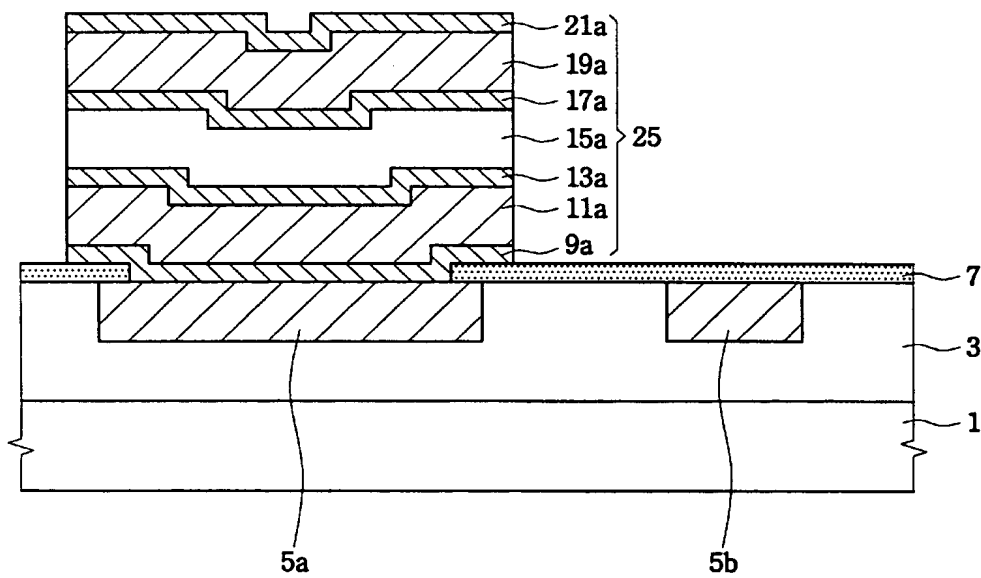


【도면】

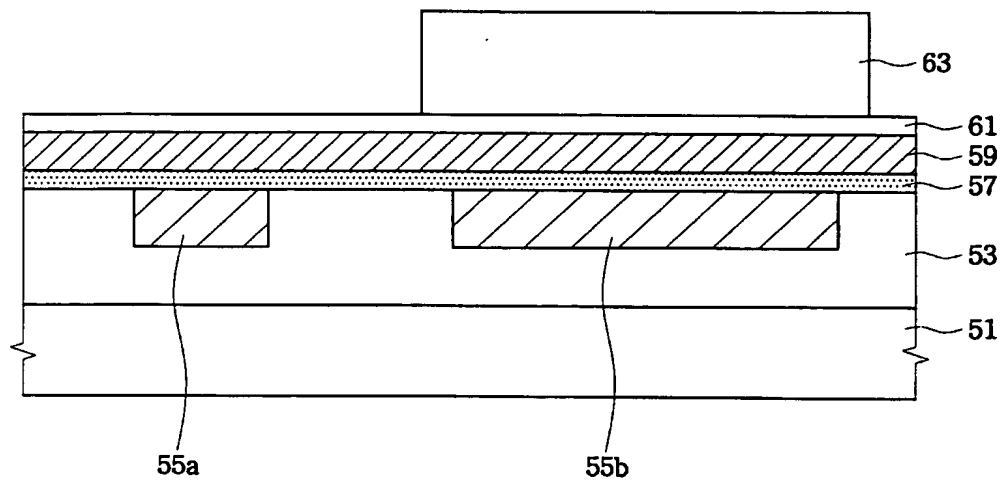
【도 1】



【도 2】



【도 3】



【도 4】

